

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10583

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1333	5 0 5		1/1333	5 0 5
1/1343			1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 A

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平9-53085

(22) 出願日 平成9年(1997) 3月7日

(31) 優先権主張番号 特願平8-100074

(32) 優先日 平8(1996) 4月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 川合 勝博

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 山川 真弥

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 岡本 昌也

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 弁理士 岡田 和秀

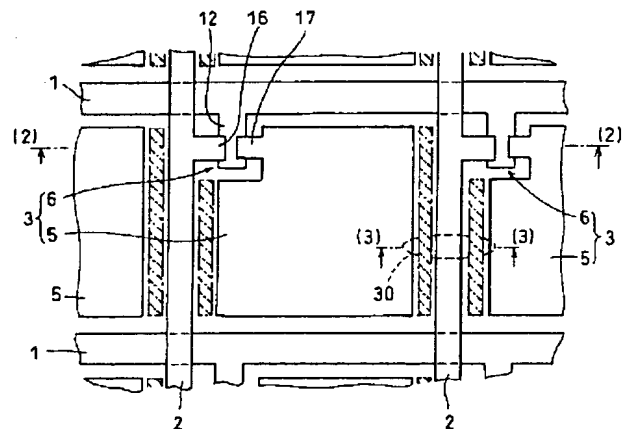
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板の製造方法、およびそのアクティブマトリクス基板

(57) 【要約】

【課題】 アクティブマトリクス基板の製造方法において、製造過程で生じる構造欠陥を製造過程で無くせるようにし、製造歩留まりの向上を図る。

【解決手段】 絶縁基板 11 上に設けられる多数の第 1 配線 1 と、第 1 配線 1 を覆う絶縁膜 13 と、絶縁膜 13 上に設けられる多数の第 2 配線 2 と、第 1、第 2 配線 1、2 の各交点近傍に設けられる多数の薄膜トランジスタからなるスイッチング素子 6 と、第 1、第 2 配線 1、2 の直交交差により生ずるマトリクス状の領域において絶縁膜 13 上に設けられる多数の画素電極 5 とを有する構造のアクティブマトリクス基板 10 の製造方法であって、絶縁膜 13 を形成した後でその上に画素電極 5 および第 2 配線 2 を形成する前に、絶縁膜 13 において、画素電極 5 形成予定領域と第 2 配線 2 形成予定領域との間に確保する離間領域や、画素電極 5 形成予定領域と第 1 配線 1 との間に確保する離間領域の少なくともいずれか一方に対応する領域 (斜線部分) を除去する。



【特許請求の範囲】

【請求項1】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の第1配線と、第1配線を覆う絶縁膜と、絶縁膜上に第1配線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の第2配線と、第1、第2配線の各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなるスイッチング素子と、第1、第2配線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板を製造する方法であって、
絶縁膜を形成した後でその上に画素電極および第2配線を形成する前に、絶縁膜において、画素電極形成予定領域と第2配線形成予定領域との間に確保する離間領域や、画素電極形成予定領域と第1配線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する、ことを特徴するアクティブマトリクス基板の製造方法。

【請求項2】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、走査線と信号線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板を製造する方法であって、
絶縁膜を形成した後でその上に画素電極および信号線を形成する前に、絶縁膜において、画素電極形成予定領域と信号線形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する、ことを特徴するアクティブマトリクス基板の製造方法。

【請求項3】 絶縁基板の上面にゲート電極および走査線を形成する工程と、
前記ゲート電極および走査線を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、
絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、
絶縁膜において、信号線形成予定領域と画素電極形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する工程と、
絶縁膜上に信号線および画素電極を形成する工程と、
を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項4】 絶縁基板の上面にゲート電極および走査線を形成する工程と、
前記ゲート電極および走査線を覆うよう絶縁基板の上面

全体に絶縁膜を形成する工程と、

絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、

前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成すると同時に、絶縁膜において、信号線形成予定領域と画素電極形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する工程と、

10 絶縁膜上に信号線および画素電極を形成する工程と、
を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項5】 前記画素電極は、前記絶縁膜の除去部分に重ならないように形成するものである、請求項1ないし4に記載のアクティブマトリクス基板の製造方法。

【請求項6】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、これら総てを覆って表面を平坦化する層間絶縁膜と、層間絶縁膜上に走査線と信号線の直交交差により生ずるマトリクス状の領域にそれぞれ設けられかつ各スイッチング素子のドレイン電極に層間絶縁膜のコンタクトホールを介してそれぞれ接続される多数の画素電極と、画素電極の下方で絶縁膜の上下に設けられる一対の付加容量電極とを有する構造のアクティブマトリクス基板を製造する方法であって、

30 絶縁膜上にドレイン電極と信号線とを形成する前に、絶縁膜において走査線の存在領域、スイッチング素子を構成する領域および付加容量を構成する領域に対応する領域を除いた残りの領域を除去する、ことを特徴するアクティブマトリクス基板の製造方法。

【請求項7】 絶縁基板の上面にゲート電極、走査線ならびに一方の付加容量電極を形成する工程と、
前記ゲート電極、走査線ならびに一方の付加容量電極を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、

40 絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、

前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成する工程と、

絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域を除去する工程と、

絶縁膜上に信号線、ドレイン電極ならびに他方の付加容量電極を形成する工程と、

以上の工程で積層した各膜を覆って表面を平坦化する層間絶縁膜を形成する工程と、

ドレイン電極の一部表面を露出するよう層間絶縁膜にコンタクトホールを形成する工程と、
層間絶縁膜の表面に画素電極を形成する工程と、
を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項8】 絶縁基板の上面にゲート電極、走査線ならびに一方の付加容量電極を形成する工程と、
前記ゲート電極、走査線ならびに一方の付加容量電極を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、

絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、

前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成すると同時に、絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域を除去する工程と、

絶縁膜上に信号線、ドレイン電極ならびに他方の付加容量電極を形成する工程と、

以上の工程で積層した各膜を覆って表面を平坦化する層間絶縁膜を形成する工程と、

ドレイン電極の一部表面を露出するよう層間絶縁膜にコンタクトホールを形成する工程と、

層間絶縁膜の表面に画素電極を形成する工程と、
を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項9】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の第1配線と、第1配線を覆う絶縁膜と、絶縁膜上に第1配線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の第2配線と、第1、第2配線の各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなるスイッチング素子と、第1、第2配線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板であって、

絶縁膜において、画素電極と第2配線との間に確保する離間領域や、画素電極と第1配線との間に確保する離間領域の少なくともいずれか一方に対応する領域が除去されている、ことを特徴するアクティブマトリクス基板。

【請求項10】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、走査線と信号線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板であって、

絶縁膜において、画素電極と信号線との間に確保する離間領域や、画素電極と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域が除去されている、ことを特徴するアクティブマトリクス基板。

【請求項11】 前記画素電極は、前記絶縁膜を除去した部分に重ならないように形成される、請求項9または10に記載のアクティブマトリクス基板。

【請求項12】 絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、これら総てを覆って表面を平坦化する層間絶縁膜と、層間絶縁膜上において走査線と信号線の直交交差により生ずるマトリクス状の領域にそれぞれ設けられかつ各スイッチング素子のドレイン電極に層間絶縁膜のコンタクトホールを介してそれぞれ接続される多数の画素電極と、画素電極の下方で絶縁膜の上下に設けられる一対の付加容量電極とを有する構造のアクティブマトリクス基板であって、

絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域が除去されている、ことを特徴するアクティブマトリクス基板。

【請求項13】 前記多数の走査線および信号線の個々には、引出端子が設けられていて、走査線の引出端子は上記絶縁膜の下方にまた信号線の引出端子は上記絶縁膜の上方にそれぞれ形成されており、絶縁膜において少なくとも走査線個々の各引出端子の間に確保する離間領域に対応する領域が除去されている、請求項10ないし12のいずれかに記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネルを構成するアクティブマトリクス基板の製造方法およびそのアクティブマトリクス基板に関する。

【0002】

【従来の技術】図16は、従来のアクティブマトリクス型の液晶表示装置の構成を示す回路図である。図中、1は行方向に配列される複数の走査線としてのゲート信号線、2は列方向に配列される複数の信号線としてのソース信号線、3は両信号線1、2の直交交差により生ずるマトリクス状の領域に設けられる複数の画素、4は共通電極である。画素3は、主として画素電極5と薄膜トランジスタ(TFT)からなるスイッチング素子6とで構成される。また、7はゲート信号線1の引出端子、8はソース信号線2の引出端子である。

【0003】このような液晶表示装置の液晶パネルは、図示しないが、通常、二枚の基板を所要間隔の空間を隔

てて平行に配置してこの空間に液晶を介在した構造になっている。この二枚の基板のうちの一方の基板がアクティブマトリクス基板と呼ばれるもので、上記ゲート信号線1、ソース信号線2、画素3が設けられ、また、他方の基板が対向基板と呼ばれるもので、上記共通電極4が設けられる。なお、場合によっては他方の基板にRGBまたはYMCの三色カラーフィルタが設けられることがある。

【0004】前述のアクティブマトリクス基板の構造例を図17ないし図19に示す。この構造は、ゲート信号線1とソース信号線2とで形成するマトリクス状の領域に画素電極5を配置したものである。図17は、アクティブマトリクス基板に形成される多数の画素のうちの一画素を示す平面図、図18は、図17の(18) - (18)線断面図、図19は、図17の(19) - (19)線断面図である。

【0005】図例のアクティブマトリクス基板10には、逆スタガ構造のスイッチング素子6を構成する要素として、透明絶縁基板11、ゲート電極12、ゲート絶縁膜13、半導体層14、チャネル保護層15、ソース電極16、ドレイン電極17、第1コンタクト層18、第2コンタクト層19が形成されている。なお、ゲート電極12にはゲート信号線1が、ソース電極16にはソース信号線2が、ドレイン電極17には画素電極5が、それぞれ接続されている。

【0006】そして、ゲート電極12およびゲート信号線1がゲート絶縁膜13の下方に、また、画素電極5およびソース信号線2がゲート絶縁膜13の上方にそれぞれ設けられている。

【0007】

【発明が解決しようとする課題】ところで、上記従来のアクティブマトリクス基板10では、下記するような不具合がある。

【0008】(1) ゲート絶縁膜13の上に設けられるソース信号線2と画素電極5とが、それらのパターンニング不良によって短絡したり、あるいはソース信号線2と画素電極5との間の離間領域に例えば半導体層14、コンタクト層18、19の形成工程で生ずるエッチング残渣あるいは反応生成物が付着することによって短絡したりといった構造欠陥が作られてしまうことがある。このような構造欠陥が作られていると、表示欠陥が発生する。ちなみに、この構造欠陥については、アクティブマトリクス基板10の製造後に検査を行い、この検査によって発見した欠陥箇所の原因物をレーザー照射でもって除去することができる。しかしながら、このような処置では、レーザー照射によって除去された原因物が飛び散るために、それが原因で新たな短絡を引き起こしてしまうことが懸念される。そもそも、このような処置自体、面倒でコスト上昇につながるということが指摘される。

【0009】(2) ゲート信号線1を覆うゲート絶縁

膜13の上に、例えば半導体層14、コンタクト層18、19の形成工程で生ずるエッチング残渣あるいは反応生成物が付着していたとすると、甚だしい場合にはゲート信号線1とゲート絶縁膜13とエッチング残渣あるいは反応生成物との三者で容量を構成することになってしまい、この容量が画素電極5に付加されることになるといった構造欠陥を作るおそれがある。これについては、製造後の修正を行えないので、甚だしい場合には不良品として処理されることがある。

10 【0010】(3) ゲート信号線1の引出端子7やソース信号線2の引出端子8は、図示しないが、多数隣接して形成されるので、それぞれパターンニング不良によって隣り合う引出端子間が短絡するおそれがある。

【0011】このような事情に鑑み、本発明は、アクティブマトリクス基板の製造方法において、製造過程で生じる構造欠陥を製造過程で無くせるようにし、製造歩留まりの向上を図ることを目的とする。また、本発明は、アクティブマトリクス基板において、各導電性膜間の短絡や不要な容量の付加に伴う表示欠陥の発生を回避できる構造として、品質向上を図ることを目的とする。

20 【0012】

【課題を解決するための手段】要するに、本発明のアクティブマトリクス基板の製造方法では、製造過程でのパターンニング不良やエッチング残渣などが原因となり、信号線と画素電極との間が短絡する可能性がある場合や、走査線の上方に不要な容量を構成する可能性がある場合など、製造過程で前述の原因を取り除くようにしている。

30 【0013】本発明の第1の製造方法は、絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の第1配線と、第1配線を覆う絶縁膜と、絶縁膜上に第1配線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の第2配線と、第1、第2配線の各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなるスイッチング素子と、第1、第2配線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板を製造する方法であって、絶縁膜を形成した後でその上に画素電極および第2配線を形成する前に、絶縁膜において、画素電極形成予定領域と第2配線形成予定領域との間に確保する離間領域や、画素電極形成予定領域と第1配線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する。

40 【0014】本発明の第2の製造方法は、絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジ

タからなる逆スタガ構造のスイッチング素子と、走査線と信号線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造のアクティブマトリクス基板を製造する方法であって、絶縁膜を形成した後でその上に画素電極および信号線を形成する前に、絶縁膜において、画素電極形成予定領域と信号線形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する。

【0015】本発明の第3の製造方法は、絶縁基板の上面にゲート電極および走査線を形成する工程と、前記ゲート電極および走査線を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、絶縁膜において、信号線形成予定領域と画素電極形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する工程と、絶縁膜上に信号線および画素電極を形成する工程とを含む。

【0016】本発明の第4の製造方法は、絶縁基板の上面にゲート電極および走査線を形成する工程と、前記ゲート電極および走査線を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成すると同時に、絶縁膜において、信号線形成予定領域と画素電極形成予定領域との間に確保する離間領域や、画素電極形成予定領域と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域を除去する工程と、絶縁膜上に信号線および画素電極を形成する工程とを含む。

【0017】なお、上記第1ないし第4の製造方法において、前記画素電極を、前記絶縁膜の除去部分に重ならないように形成するのが好ましい。

【0018】本発明の第5の製造方法は、絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、これら総てを覆って表面を平坦化する層間絶縁膜と、層間絶縁膜上において走査線と信号線の直交交差により生ずるマトリクス状の領域にそれぞれ設けられかつ各スイッチング素子のドレイン電極に層間絶縁膜のコンタクトホールを介してそれぞれ接続される多数の画素電極と、画素電極の下方で絶縁膜の上下に設けられる一対の付加容量電極とを有する構造のアクティブマトリクス基板を製造する方法であって、絶縁膜上にドレイン電極と信号線とを

形成する前に、絶縁膜において走査線の存在領域、スイッチング素子を構成する領域および付加容量を構成する領域に対応する領域を除いた残りの領域を除去する。

【0019】本発明の第6の製造方法は、絶縁基板の上面にゲート電極、走査線ならびに一方の付加容量電極を形成する工程と、前記ゲート電極、走査線ならびに一方の付加容量電極を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成する工程と、絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域を除去する工程と、絶縁膜上に信号線、ドレイン電極ならびに他方の付加容量電極を形成する工程と、以上の工程で積層した各膜を覆って表面を平坦化する層間絶縁膜を形成する工程と、ドレイン電極の一部表面を露出するよう層間絶縁膜にコンタクトホールを形成する工程と、層間絶縁膜の表面に画素電極を形成する工程とを含む。

【0020】本発明の第7の製造方法は、絶縁基板の上面にゲート電極、走査線ならびに一方の付加容量電極を形成する工程と、前記ゲート電極、走査線ならびに一方の付加容量電極を覆うよう絶縁基板の上面全体に絶縁膜を形成する工程と、絶縁膜上でゲート電極に関連する領域に半導体層を形成する工程と、前記走査線の引出端子の上方を覆う絶縁膜にコンタクトホールを形成すると同時に、絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域を除去する工程と、絶縁膜上に信号線、ドレイン電極ならびに他方の付加容量電極を形成する工程と、以上の工程で積層した各膜を覆って表面を平坦化する層間絶縁膜を形成する工程と、ドレイン電極の一部表面を露出するよう層間絶縁膜にコンタクトホールを形成する工程と、層間絶縁膜の表面に画素電極を形成する工程とを含む。

【0021】本発明の第1のアクティブマトリクス基板は、絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の第1配線と、第1配線を覆う絶縁膜と、絶縁膜上に第1配線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の第2配線と、第1、第2配線の各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなるスイッチング素子と、第1、第2配線の直交交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造であって、絶縁膜において、画素電極と第2配線との間に確保する離間領域や、画素電極と第1配線との間に確保する離間領域の少なくともいずれか一方に対応する領域が除去されている。

【0022】本発明の第2のアクティブマトリクス基板は、絶縁基板上に互いに平行に所要間隔離してそれぞれ

設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、走査線と信号線の直立交差により生ずるマトリクス状の領域において絶縁膜上にそれぞれ設けられる多数の画素電極とを有する構造であって、絶縁膜において、画素電極と信号線との間に確保する離間領域や、画素電極と走査線との間に確保する離間領域の少なくともいずれか一方に対応する領域が除去されている。

【0023】なお、上記第1、第2のアクティブマトリクス基板において、前記画素電極は、前記絶縁膜を除去した部分に重ならないように形成されるのが好ましい。

【0024】本発明の第3のアクティブマトリクス基板は、絶縁基板上に互いに平行に所要間隔離してそれぞれ設けられる多数の走査線と、走査線を覆う絶縁膜と、絶縁膜上に走査線とそれぞれ直交する方向に互いに平行に所要間隔離してそれぞれ設けられる多数の信号線と、走査線と信号線との各交点近傍にそれぞれ設けられる多数の薄膜トランジスタからなる逆スタガ構造のスイッチング素子と、これら総てを覆って表面を平坦化する層間絶縁膜と、層間絶縁膜上において走査線と信号線の直立交差により生ずるマトリクス状の領域にそれぞれ設けられかつ各スイッチング素子のドレイン電極に層間絶縁膜のコンタクトホールを介してそれぞれ接続される多数の画素電極と、画素電極の下方で絶縁膜の上下に設けられる一対の付加容量電極とを有する構造であって、絶縁膜において、走査線の存在領域、スイッチング素子を構成する領域ならびに付加容量を構成する領域に対応する領域を除いた残りの領域が除去されている。

【0025】なお、上記第1ないし第3のアクティブマトリクス基板において、前記多数の走査線および信号線の個々には、引出端子が設けられていて、走査線の引出端子は上記絶縁膜の下方にまた信号線の引出端子は上記絶縁膜の上方にそれぞれ形成されており、絶縁膜において少なくとも走査線個々の各引出端子の間に確保する離間領域に対応する領域が除去されている。

【0026】次に上記構成の作用を説明する。

【0027】第1の製造方法では、アクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができるから、例えば第2配線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに第1配線上に形成される容量の画素電極への付加などといった構造欠陥を無くせる。

【0028】第2ないし第4の製造方法では、一般的な構造のアクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができるから、例えば信号

線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに走査線上に形成される容量の画素電極への付加などといった構造欠陥を無くせる。

【0029】また、これら第1ないし第4の製造方法においては、絶縁膜の一部を除去しているために、仮に走査線や信号線のパターニング不良によるパターニング残りが画素電極に重なる状態に形成された場合、絶縁膜の除去部分から前記パターニング残りが露出することになる。このような場合において、画素電極を絶縁膜の除去部分に重ならないように形成すれば、絶縁膜の除去部分に画素電極が入り込まずに済んで構造欠陥を無くせるが、仮に画素電極を絶縁膜の除去部分に重なるように形成した場合だと、前記パターニング残りや画素電極とが短絡するといった構造欠陥が発生する。

【0030】第5ないし第7の製造方法では、マトリクス状に配列される画素電極それぞれの間に走査線や信号線を介在させないようにして高開口率化および高精細化を図った特殊な構造のアクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができるから、例えば付加容量電極と走査線との間の短絡などといった構造欠陥を無くせる。

【0031】特に、第4、第7の製造方法では、コンタクトホール形成と同時に絶縁膜の除去とを行えば、工程の増加を避けることができるなど無駄を無くせる。

【0032】第1のアクティブマトリクス基板では、例えば第2配線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに第1配線上に形成される容量の画素電極への付加などといった構造欠陥が無い。

【0033】第2のアクティブマトリクス基板では、例えば信号線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに走査線上に形成される容量の画素電極への付加などといった構造欠陥が無い。

【0034】第3のアクティブマトリクス基板では、例えば付加容量電極と走査線との間の短絡などといった構造欠陥が無い。しかも、第3のアクティブマトリクス基板の構造では、絶縁膜の一部を除去した領域において絶縁膜上の層間絶縁膜が絶縁基板上に直接積層されることになるから、絶縁膜に対する層間絶縁膜の接着強度よりも、絶縁基板に対する層間絶縁膜の接着強度のほうが大となるように素材を選定すれば、絶縁基板上の積層膜それぞれが剥離しにくくなる結果となり、信頼性向上に貢献できるようになる。この他、表示領域での絶縁膜の除去面積を大きく設定すれば、積層数が少なくなり、その分、膜境界での光反射を低減できるので、光透過率が向上することになってアクティブマトリクス基板の輝度向上に貢献できるようになる。

【0035】また、上記第2、第3のアクティブマトリクス基板では、走査線の引出端子や信号線の引出端子がエッチング残渣により短絡するといった構造欠陥が無

い。

【0036】

【発明の実施の形態】以下、本発明の詳細を図1ないし図15に示す実施例に基づいて説明する。

【0037】図1ないし図3は本発明の実施例1にかかり、図1は、アクティブマトリクス基板に形成される多数の画素のうちの一画素を示す平面図、図2は、図1の(2)-(2)線断面図、図3は、図1の(3)-(3)線断面図である。

【0038】この実施例でのアクティブマトリクス基板は従来例で引用したものと基本構成を同じにしている。図1ないし図3と図17および図18とにおいて互いに同じ部分は同じ符号を付している。すなわち、図中、1は走査線としてのゲート信号線、2は信号線としてのソース信号線、3は画素、5は画素電極、6は薄膜トランジスタ(TFT)からなる逆スタガ構造のスイッチング素子、7はゲート信号線1の引出端子、8はソース信号線2の引出端子、10はアクティブマトリクス基板、11は透明絶縁基板、12はゲート電極、13はゲート絶縁膜、14は半導体層、15はチャネル保護層、16はソース電極、17はドレイン電極、18は第1コンタクト層、19は第2コンタクト層である。そして、ゲート電極12およびゲート信号線1がゲート絶縁膜13の下方に、また、画素電極5およびソース信号線2がゲート絶縁膜13の上方にそれぞれ配置されている。

【0039】この実施例において従来例と異なる構成は、ゲート絶縁膜13においてソース信号線2と画素電極5との間に確保する離間領域に対応する領域(図1の斜線部分)が除去されていることである。つまり、製造過程の何らかの原因でソース信号線2と画素電極5との間の短絡を引き起こすようになっていても、それを回避した構造になっている。このため、アクティブマトリクス基板10の製造後に従来のようなレーザーカットなどの修正処置が不要になっている。このような構造は、下記する製造方法により得られる。

【0040】つまり、上述した構造のアクティブマトリクス基板10の製造方法について説明する。

【0041】ガラス基板など透明絶縁基板11の上面に、タンタル、アルミニウム、モリブデンあるいはそれらの合金等からなる導電膜をスパッタリング法により形成し、この膜をフォトリソグラフィ技術によりパターンニングすることにより、ゲート電極12、ゲート信号線1、およびゲート信号線1の引出端子7を形成する。なお、前述のフォトリソグラフィ技術ではドライエッチング法を採用するが、ウェットエッチング法を採用する場合は、透明絶縁基板11に前述の導電膜を形成する前に、透明絶縁基板11のエッチング防止膜として Ta_2O_5 を形成するのが好ましい。

【0042】この透明絶縁基板11の上面全体に、プラズマCVD法によりゲート絶縁膜13となる SiN

x層と、半導体層14となるa-Si層と、チャネル保護層15となる $SiNx$ 層との三層を連続して積層する。なお、ゲート絶縁膜13となる $SiNx$ を形成する前に、ゲート信号線1およびゲート電極12の表面に補償用の陽極酸化膜を被覆してもよい。

【0043】上記工程で形成した最上のチャネル保護層15となる $SiNx$ 層をパターンニングすることにより、チャネル保護層15を形成する。

【0044】上記透明絶縁基板11の上面全体にプラズマCVD法により第1、第2のコンタクト層18、19となるa-Si(n^+)あるいは $\mu c-Si(n^+)$ 層を形成する。

【0045】上記工程で形成した第1、第2のコンタクト層18、19となるa-Si(n^+)あるいは $\mu c-Si(n^+)$ 層と、上記工程で形成した中間の半導体層14となるa-Si層とを同時にパターンニングすることにより、第1、第2のコンタクト層18、19と半導体層14を形成する。

【0046】ゲート信号線1の引出端子7の一部表面を露出するために、その上方のゲート絶縁膜13にコンタクトホール(図示省略)を形成する。なお、後に、このコンタクトホールを通じてゲート信号線1の引出端子7にドライバIC(図示省略)が接続されるのである。

【0047】ゲート絶縁膜13においてソース信号線2の形成予定領域と画素電極5の形成予定領域との間に確保する離間領域に対応する領域(図1の斜線部分)を選択的に除去する。このように除去したゲート絶縁膜13上に、仮に上記工程で生ずるエッチング残渣あるいは反応生成物が付着していたとしても、前述のゲート絶縁膜13の除去と同時に前記エッチング残渣あるいは反応生成物を取り除くことができるので、後でソース信号線2および画素電極5を形成したときに前記エッチング残渣あるいは反応生成物が原因となるソース信号線2と画素電極5との短絡を回避できるようになる。つまり、この処理では、ゲート絶縁膜13のみをエッチングするだけでなく、例えば半導体層14やコンタクト層18、19のエッチング残渣あるいは反応生成物をも同時にエッチングできるように、沸酸と硝酸の混合液によるウェットエッチングや CF_4 と O_2 ガスによるドライエッチングを行うのが好ましい。

【0048】このように処理した透明絶縁基板11の上面全体にスパッタリング法によりチタン、モリブデン、アルミニウム、あるいはアルミ合金などの金属膜を形成し、この金属膜をパターンニングすることにより、ソース電極16、ドレイン電極17、ソース信号線2ならびにソース信号線2の引出端子8を形成する。

【0049】透明絶縁基板11の上面全体にスパッタリング法によりITO膜を形成し、このITO膜をパターンニングすることにより、画素電極5を形成する。な

お、このときソース信号線2の上の前記ITO膜を残して、ソース信号線2の断線に対する冗長構造をとるようにしてもよい。

【0050】この後、透明絶縁基板11の上面全体にプラズマCVD法によりSiNxからなる保護膜(図示省略)を形成し、この保護膜をパターニングして画素電極5上のみを露出する。

【0051】以上のようにしてアクティブマトリクス基板10が製造されるが、この製造方法では、上記工程で生ずるエッチング残渣あるいは反応生成物が後で形成するソース信号線2の形成予定領域と画素電極5の形成予定領域との間に確保する離間領域に付着していたとしても、これらエッチング残渣あるいは反応生成物を上記工程において取り除くことができるので、ソース信号線2および画素電極5の形成後においてそれらが短絡するといった構造欠陥を無くすることができるようになる。ゆえに、アクティブマトリクス基板10の製造後に従来のようなレーザーカット処置を施す必要がなくなる。具体的に、例えば前述のエッチング残渣が図1の符号30で示す状態に付着していた場合でも、それが上記工程の処理によりエッチング残渣30が斜線部分において部分的に取り除かれるから、図3に示すように、ソース信号線2と画素電極5とが短絡せずに済むようになる。

【0052】ところで、上記製造方法において、工程と工程とはいずれもゲート絶縁膜13のパターニングを行うものであるから、工程と工程とを同時に行うことができる。つまり、この場合、パターニングを行うときのエッチングパターンを変えればよい。このようにすれば、工程を一つ省略することができて、従来例の製造方法と工程数を同じにできるので、無駄を無くせる。

【0053】なお、本発明は上記実施例1のみに限定されるものではなく、例えば図4ないし図15に示すように、種々な応用や変形が考えられる。

【0054】(1) 図4ないし図7は本発明の実施例2にかかり、図4は、図1に対応する図、図5は、図4の(5)-(5)線断面図、図6は、図4の(6)-(6)線断面図、図7は、不具合を指摘するもので図6

に対応する図である。この実施例2のアクティブマトリクス基板10の構造および製造方法は上記実施例1とほぼ同様である。但し、上記製造方法の工程での除去領域を変えている。つまり、この実施例2では、ゲート絶縁膜13においてゲート信号線1と画素電極5との間に確保する離間領域に対応する領域(図3の斜線部分)を除去している。この場合の効果を説明する。仮に、ゲート信号線1を覆うゲート絶縁膜13の上に、例えば上記

工程で生ずるエッチング残渣あるいは反応生成物が付着していたとすると、甚だしい場合にはゲート信号線1とゲート絶縁膜13とエッチング残渣あるいは反応生成物との三者で容量が構成されることになってしまい、この容量が上記工程で形成される画素電極5に付加され

ることになるといった構造欠陥を作るおそれがある。このような原因で容量が発生したとしても、先に説明したような処理を施していれば、ゲート信号線1上のゲート絶縁膜13と画素電極5下のゲート絶縁膜13とを切り離せるので、前記容量が画素電極5に付加されずに済むようになり、構造欠陥が残らなくなる。

【0055】ところで、この実施例2において、仮に、図4の符号40で示す状態にゲート信号線1のパターニング不良がある場合を説明する。このパターニング残り40があっても、このパターニング残り40と画素電極5との間にゲート絶縁膜13が存在するから両者の短絡はないのであるが、図4の斜線で示すゲート絶縁膜13を除去することによって、画素電極5の形成範囲を注意しないと、次のような不具合が発生することになる。仮に、上述したように画素電極5を図4の斜線で示すゲート絶縁膜13の除去領域に重ならないように形成せずに、図4の斜線で示すゲート絶縁膜13の除去領域に画素電極5を重ねた状態に形成した場合、図7に示すように、ゲート信号線1のパターニング残り40に対して画素電極5が短絡することになる。したがって、ゲート信号線1のパターニング不良が発生する場合があることを想定すると、図4に示すように画素電極5の形成範囲を設定するのが好ましい。ちなみに、この実施例2の場合には、図6に示すように、ゲート信号線1のパターニング残り40に対して画素電極5が短絡せずに済むようになる。このことは、実施例1についても同様である。実施例1の場合にはソース信号線2に前述のゲート信号線1のパターニング不良が発生したときにソース信号線2と画素電極5との短絡を回避できる。

【0056】(2) 図8は本発明の実施例3にかかり、図1に対応する図である。この実施例2のアクティブマトリクス基板10の構造および製造方法は上記実施例1とほぼ同様である。但し、上記製造方法の工程での除去領域を変えている。つまり、この実施例3では、ゲート絶縁膜13においてゲート信号線1の存在領域およびスイッチング素子6の存在領域に対応する領域を除いた残りの領域(斜線部分)を総て除去している。この場合、上記実施例1よりも広い範囲でゲート絶縁膜13上のエッチング残渣を取り除くことができる。

【0057】(3) 図9および図10は本発明の実施例4にかかり、図9は図1に対応する図、図10は図9の(10)-(10)線断面図である。この実施例4でのアクティブマトリクス基板10は、上記実施例1の各画素3に付加容量9を設けた構造になっている。付加容量9は、ゲート電極12と同時に同一材料で形成される付加容量電極91と、ゲート絶縁膜13の一部と、画素電極5の一部との三者で構成されている。この構造のアクティブマトリクス基板10の製造方法は上記実施例1とほぼ同様である。但し、上記工程での除去領域を変えている。つまり、この実施例3では、ゲート絶縁膜1

3においてゲート信号線1の存在領域とスイッチング素子6の存在領域と付加容量9を構成する領域とに対応する領域を除いた残りの領域(斜線部分)を総て除去している。この場合も、上記実施例3と同様に、広い範囲でゲート絶縁膜13上のエッチング残渣を取り除くことができる。

【0058】(4) 図11ないし図13は本発明の実施例5にかかり、図11は図1に対応する図、図12は図11の(12)-(12)線断面図、図13は図11の(13)-(13)線断面図である。この実施例5の10 アクティブマトリクス基板10は、マトリクス状に配列される画素電極5それぞれの間に、ゲート信号線1やソース信号線2を介在させないようにして、高開口率化および高精細化を図った構造になっている。また、各画素3に付加容量9を設けた構造になっている。図中、20 は平坦化用の層間絶縁膜、21はドレイン電極17と画素電極5とを接続するための導電膜、22は層間絶縁膜20に設けられるコンタクトホール、23はドレイン電極17の一部である。付加容量9は、前述の導電膜21の一部と、ゲート絶縁膜13の一部と、ゲート電極1220と同時に同一材料で形成される付加容量電極91との三者で構成されている。なお、この構造のアクティブマトリクス基板10の製造方法は上記実施例1と途中まで同じで、工程の内容を若干変えたり工程が若干増やしたりする点異なる。

【0059】このような構造の場合、上記工程で生ずるエッチング残渣あるいは反応生成物が導電膜21とソース信号線2との間に確保する離間領域に対応するゲート絶縁膜13上に付着して、導電膜21とソース信号線2とが短絡するといった構造欠陥を作るおそれがある。そのため、この実施例5では、導電膜21およびソース信号線2を形成する前に、ゲート絶縁膜13において、ゲート信号線1の領域、スイッチング素子6を構成する領域および付加容量9を構成する領域に対応する領域を除いた残りの領域(斜線部分)を除去している。この処理を施していれば、上記工程で生ずるエッチング残渣あるいは反応生成物が導電膜21とソース信号線2との間に確保する離間領域に対応するゲート絶縁膜13上に付着していても、前記ゲート絶縁膜13の除去処理時に前記エッチング残渣あるいは反応生成物のほとんどを取り除くことができるので、それらが原因となる短絡といった構造欠陥を無くせるようになる。

【0060】このような実施例5において、ゲート絶縁膜13の一部を除去することによって、この除去した領域(図11の斜線部分)については、ゲート絶縁膜13上の層間絶縁膜20が透明絶縁基板11上に直接積層されることになる。ここで、例えば上記実施例1に記載したように透明絶縁基板11としてガラス基板、ゲート絶縁膜13としてSiNx膜、さらに層間絶縁膜20として無機絶縁膜例えばTEOS(テトラエチルオルソシリ

タイト)などを用いたSiO₂などあるいは有機樹脂

(例えばアクリル系樹脂やポリイミドなど)を選定する場合、ゲート絶縁膜13に対する層間絶縁膜20の接着強度よりも透明絶縁基板11に対する層間絶縁膜20の接着強度のほうが大きくなる場合がある。この場合、アクティブマトリクス基板10の全体として考えると、透明絶縁基板11上の積層膜それぞれが剥離しにくくなる結果となり、信頼性向上に貢献できる。この剥離防止効果は、特に、図11に示すように、透明絶縁基板11に対する層間絶縁膜20の直接積層面積を大きくしていれば一層有利である。この他、積層数を多くすれば、膜境界での光反射が多くなり光透過率が下がる傾向となるが、上記実施例5のように表示領域においてゲート絶縁膜13の除去面積を大きく設定できるならば、積層数が少なくなる領域が多くなり、その分、光反射を低減できるので、光透過率が向上することになってアクティブマトリクス基板10の輝度向上に貢献することができる。

【0061】(5) 図14は本発明の実施例6にかかり、図1や図11に示すアクティブマトリクス基板のゲート信号線やソース信号線の引出端子を示す平面図である。ゲート信号線1の引出端子7は、ゲート信号線1と同時に透明絶縁基板11上に形成され、ソース信号線2の引出端子8は、ソース信号線2と同時にゲート絶縁膜13上に形成される。このような構造では、ゲート信号線1の引出端子7について、それらのパターニング不良で隣り合う引出端子7間が短絡するといった構造欠陥を作るおそれがあり、ソース信号線2の引出端子8について、その形成前の半導体層14の形成工程で生ずるエッチング残渣あるいは反応生成物が隣り合う引出端子8の間に確保する離間領域のゲート絶縁膜13に付着して、引出端子8の隣り合うものどうしが短絡するといった構造欠陥を作るおそれがある。そのために、実施例6では、上記工程で、ゲート絶縁膜13においてゲート信号線1の引出端子7やソース信号線2の引出端子8の間に確保する離間領域に対応する領域(斜線部分)を除去している。この処理を施していれば、ゲート信号線1の引出端子7については、ゲート絶縁膜13の除去と共に前記パターニング残りが取り除かれるので、前記短絡といった構造欠陥を無くせるようになる。一方、ソース信号線2の引出端子8については、ゲート絶縁膜13の除去と共に前記エッチング残渣あるいは反応生成物が取り除かれるので、前記短絡といった構造欠陥を無くせるようになる。なお、ソース信号線2の引出端子8については、ゲート電極12やゲート信号線1の引出端子7と同時に透明絶縁基板11上に同一材料で形成するとともにゲート絶縁膜13にコンタクトホールを形成し、後のソース信号線2の形成時にこのソース信号線2とその引出端子8とをコンタクトホールを介して接続することもできる。この場合では、引出端子8のパターニング不良に伴い隣り合う引出端子8間が短絡するといった構造欠陥

を作るおそれがあるが、これについても上記処理を施すことによって回避できるようになる。

【0062】(6) 図15は本発明の実施例7にかかり、図9や図11に示す付加容量の引出線を示す平面図である。この付加容量9の引出線92は、ゲート電極12と同時に同一材料で形成されるものであり、これらの上方にゲート絶縁膜13が形成される。このような構造では、引出線92のパターニング不良で隣り合う引出線92間が短絡するといった構造欠陥を作るおそれがある。そのため、この実施例7では、ゲート絶縁膜13において付加容量9の引出線92の個々の間に確保する離間領域に対応する領域(斜線部分参照)を除去している。この処理を施していれば、引出線92のパターニング不良が発生してもこのパターニング残りが取り除かれるので、前記構造欠陥を無くせるようになる。

【0063】

【発明の効果】請求項1の製造方法では、アクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができるから、例えば第2配線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに第1配線上に形成される容量の画素電極への付加などといった構造欠陥を無くすことができ、製造歩留の向上に貢献できる。

【0064】請求項2ないし4の製造方法では、一般的な構造のアクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができるから、例えば信号線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに走査線上に形成される容量の画素電極への付加などといった構造欠陥を無くすことができ、製造歩留の向上に貢献できる。

【0065】このように、本発明では、絶縁膜の一部を除去しているために、仮に走査線や信号線のパターニング不良によるパターニング残りが画素電極に重なる状態に形成された場合、絶縁膜の除去部分から前記パターニング残りが露出することになる。このような場合において、請求項5が有効になる。つまり、請求項5では、画素電極を絶縁膜の除去部分に重ならないように形成するから、絶縁膜の除去部分に画素電極が入り込まずに済むが、仮に画素電極を絶縁膜の除去部分に重なる状態に形成した場合だと、前記パターニング残りや画素電極とが短絡するといった構造欠陥が発生する。つまり、このことに対して有効なのである。

【0066】請求項6ないし8の製造方法では、マトリクス状に配列される画素電極それぞれの間に走査線や信号線を介在させないようにして高開口率化および高精細化を図った特殊な構造のアクティブマトリクス基板の製造過程において発生する導電性膜のパターニング残りやエッチング残渣などを製造過程で取り除くことができる

から、例えば付加容量電極と走査線との間の短絡などといった構造欠陥を無くすことができ、製造歩留の向上に貢献できる。

【0067】特に、請求項4、8の製造方法では、コンタクトホール形成と同時に絶縁膜の除去とを行えば、工程の増加を避けることができるなど無駄を無くせるので、製造コストの低減に貢献できるとともに、製造歩留の向上に貢献できる。

【0068】また、請求項9のアクティブマトリクス基板では、例えば第2配線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに第1配線上に形成される容量の画素電極への付加などといった構造欠陥が無いので、それに起因する表示欠陥を回避することができる。

【0069】請求項10のアクティブマトリクス基板では、例えば信号線と画素電極との間の短絡、隣り合う画素電極間の短絡、ならびに走査線上に形成される容量の画素電極への付加などといった構造欠陥が無いので、それに表示欠陥を回避することができる。

【0070】請求項11のアクティブマトリクス基板では、上記請求項5と同様の効果が得られる。

【0071】請求項12のアクティブマトリクス基板では、例えば付加容量電極と走査線との間の短絡などといった構造欠陥が無いので、それに起因する表示欠陥を回避することができる。

【0072】請求項13のアクティブマトリクス基板では、走査線の引出端子や信号線の引出端子がエッチング残渣により短絡するといった構造欠陥が無いので、それに起因する表示欠陥を回避することができる。しかも、この請求項13のような高開口率化および高精細化を図った構造のアクティブマトリクス基板においては、絶縁膜の一部を除去することによって、この除去した領域が絶縁膜上の層間絶縁膜が絶縁基板上に直接積層されることになり、絶縁膜に対する層間絶縁膜の接着強度よりも、絶縁基板に対する層間絶縁膜の接着強度のほうが大となるように素材を選定すれば、絶縁基板上の積層膜それぞれが剥離しにくくなる結果となり、信頼性向上に貢献できるようになる。この他、表示領域での絶縁膜の除去面積を大きく設定すれば、積層数が少なくなり、その分、膜境界での光反射を低減できるので、光透過率が向上することになってアクティブマトリクス基板の輝度向上に貢献できるようになる。

【図面の簡単な説明】

【図1】本発明の実施例1のアクティブマトリクス基板の一画素を示す平面図

【図2】図1の(2)-(2)線断面図

【図3】図1の(3)-(3)線断面図

【図4】本発明の実施例2にかかり、図1に対応する図

【図5】図4の(5)-(5)線断面図

【図6】図4の(7)-(7)線断面図

19

20

【図7】実施例2において不具合を指摘するもので、図6に対応する図

【図8】本発明の実施例3にかかり、図1に対応する図

【図9】本発明の実施例4にかかり、図1に対応する図

【図10】図9の(10) - (10)線断面図

【図11】本発明の実施例5にかかり、図1に対応する図

【図12】図11の(12) - (12)線断面図

【図13】図11の(13) - (13)線断面図

【図14】本発明の実施例6にかかり、各信号線の引出端子を示す平面図

【図15】本発明の実施例7にかかり、付加容量電極の引出線部分を示す平面図

【図16】従来のアクティブマトリクス型の液晶表示装置の構成を示す回路図

【図17】従来のアクティブマトリクス基板の画素を示す平面図

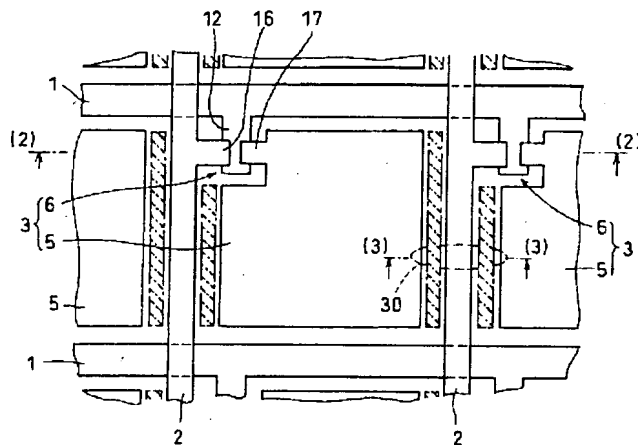
【図18】図17の(18) - (18)線断面図

【図19】図17の(19) - (19)線断面図

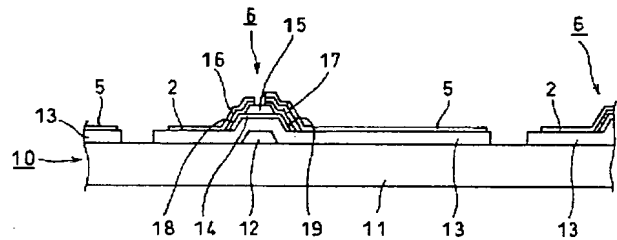
【符号の説明】

- | | |
|----|--------------|
| 1 | ゲート信号線 |
| 2 | ソース信号線 |
| 3 | 画素 |
| 5 | 画素電極 |
| 6 | スイッチング素子 |
| 10 | アクティブマトリクス基板 |
| 11 | 透明絶縁基板 |
| 12 | ゲート電極 |
| 13 | ゲート絶縁膜 |
| 14 | 半導体層 |
| 15 | チャネル保護層 |
| 16 | ソース電極 |
| 17 | ドレイン電極 |
| 18 | 第1コンタクト層 |
| 19 | 第2コンタクト層 |

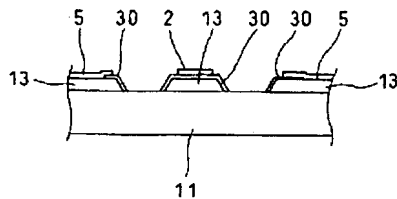
【図1】



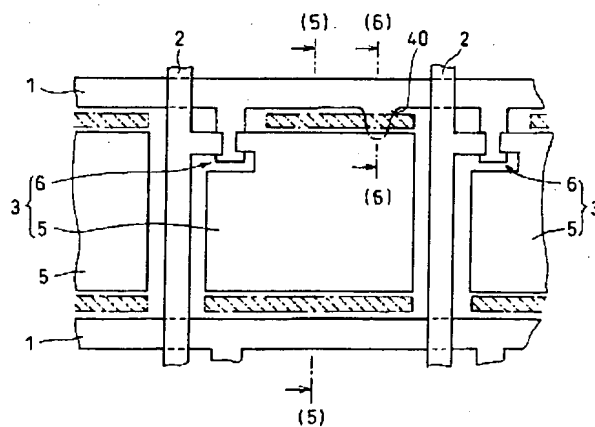
【図2】



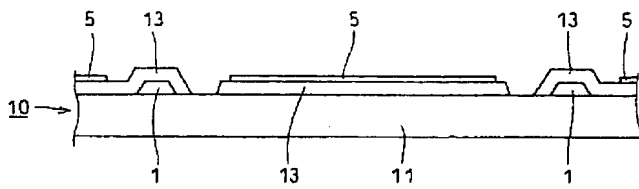
【図3】



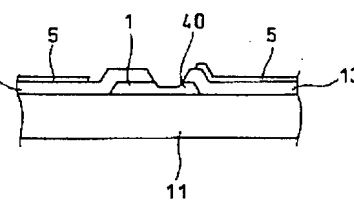
【図4】



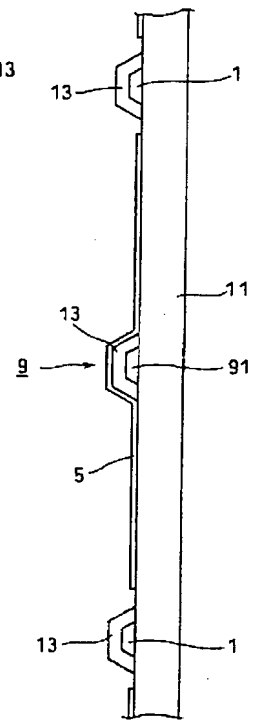
【図 5】



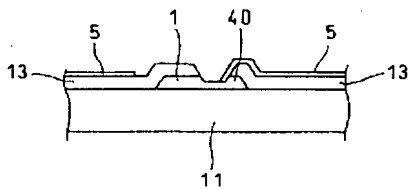
【図 6】



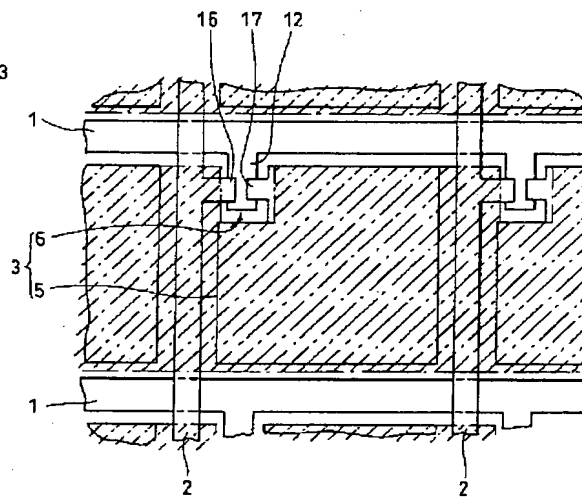
【図 10】



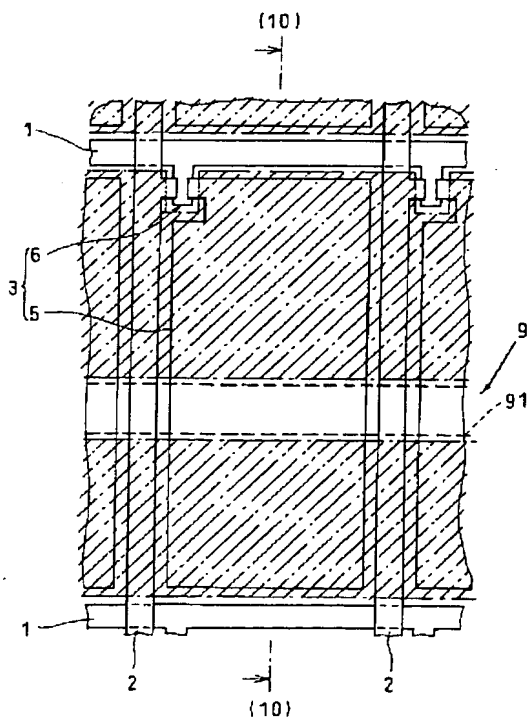
【図 7】



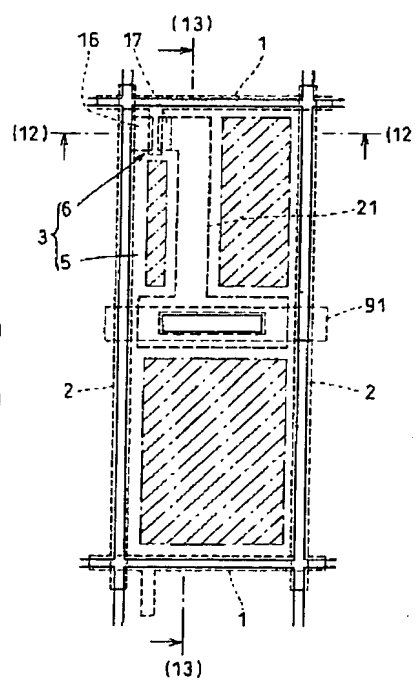
【図 8】



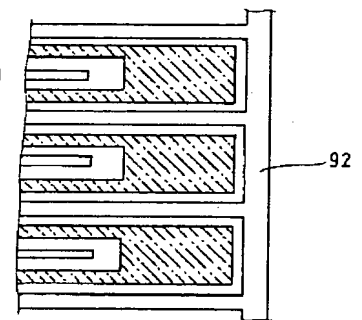
【図 9】



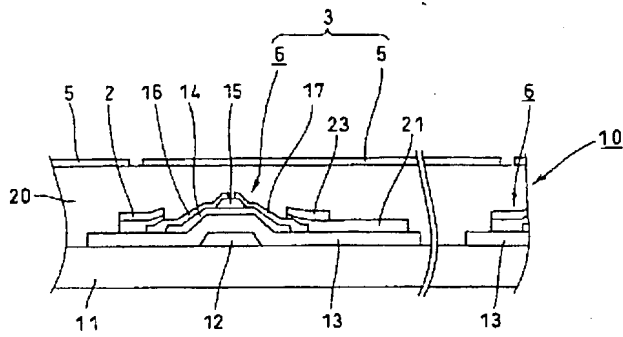
【図 11】



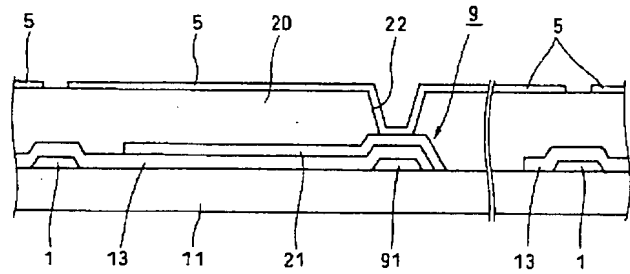
【図 15】



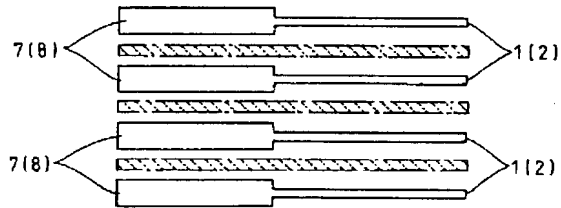
【図 12】



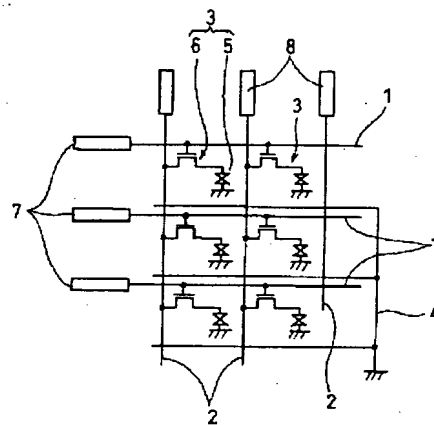
【図 13】



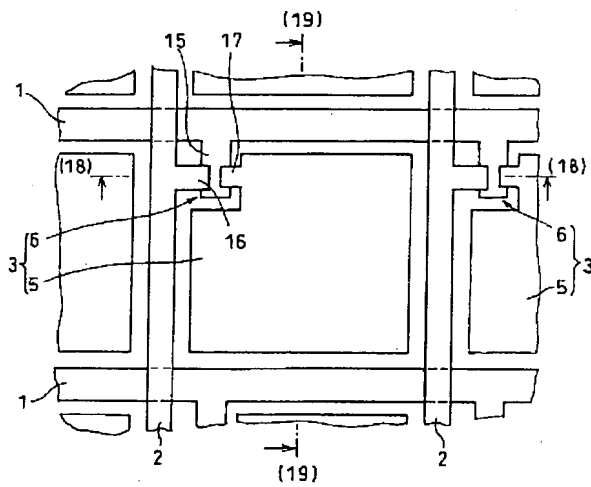
【図 14】



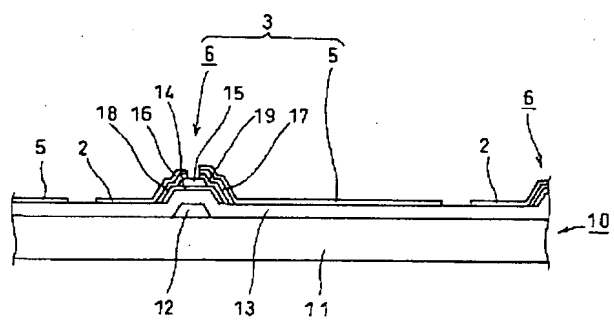
【図 16】



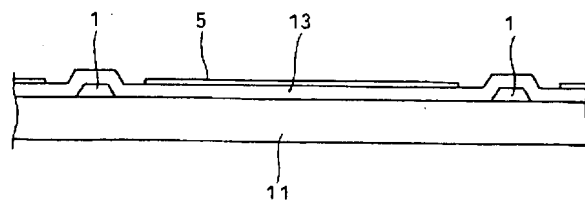
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 片山 幹雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャーブ株式会社内